스피어 복호기와 LDPC 복호기를 사용하는 반복 복호 구조에서 계산 복잡도 감소를 위한 다중 안테나 수신기 알고리즘

정현승, 강민규, 고병훈, 김광순
연세대학교 전기전자공학과
{hsjoung, kangys8, letsko21, ks.kim} @yonsei.ac.kr

The MIMO Detection Algorithm for Reducing the Computational Complexity of an Iterative Receiver using Sphere Decoder and LDPC Decoder

Hyunsung Joung, Mingyu Kang, Byunghoon Ko, Kwang Soon Kim
Department of Electrical & Electronic Engineering, Yonsei University
134 Sinchon-dong, Seodaemun-gu, Seoul 120-749, Korea

요 약

본 논문에서는 다중 안테나 수신기에서 계산 복잡도 감소를 위한 조기 중단 알고리즘과 적은 계산 처리량으로 사후 확률을 얻을 수 있는 수신기 구조를 제안한다. 다중 안테나 수신기의 반복 복호기 구조로 내부 복호기에 스피어 복호기(sphere decoder)를 사용하고 외부 복호기에 LDPC(low density parity check) 복호기를 사용하는 형태로 구성 할 수 있다. 이런 구조에서는 반복 복호시에 계산 처리량이 반복 복호 횟수에 비례해서 증가한다. 특히, 스피어 복호기가 계산 처리량이 일정하지 못한 관계로 반복 복호시에 계산 처리량의 변화가 현저하게 증가하여 전체 수신기의 고정 계산 처리 구현이 어렵다. 이런 문제점을 해결하기 위해서 반복 복호 횟수에 적응적으로 가변 하는 조기 중단(early termination) 기법을 적용하였으며, 이 경우에 계산 복잡도 감소로 인해서 발생하는 성능 변화에 대해서 분석하였다. 이와 함께, 최소 조건의 조기 중단 시에서도 신뢰할 수 있는 사후 확률을 얻을 수 있는 스피어 복호기 기법를 제안하고, 이때 전체 시스템의 계산 복잡도가 감소함을 보인다.

I. 서론

다중 안테나 수신기는 내부 복호기와 터보나 LDPC 같은 오류 정정 복호기를 외부 복호기로 사용하여 반복 복호 구조로 구현 할 수 있다. 이런 수신기 구조는 다중 안테나의 채널 용량에 근접한 성능을 얻을 수 있다 [1]. 본 논문에서는 내부 복호기를 스피어 복호기를 사용하고 외부 복호기를 LDPC 복호기를 사용하는 형태로 수신기를 구현하는 것으로 가정한다. 수신단의 스피어 복호기는 비트에 대한 사후 확률 값을 계산 한 후 로그 근사율(log likelihood ratio) 값을 LDPC 에 전달하고 LDPC 는 스피어 복호기가 사용 할 사전 확률 LLR 값을 생성하여 다시 스피어 복호기에 전달하는 순서로 반복 복호를 수행한다. 본 논문에서 다루고자 하는 내용은 외부 복호기로 사용하는 LDPC 에서의 계산 처리량 감소가 아닌, 내부 복호기로 사용하는 스피어 복호기에서의 계산 처리량 감소에 대한 제안을 목적으로 한다. 일반적으로 스피어 복호기는 최대우도 (maximum-likelihood) 성능을 얻는 것으로 알려져 있으며, 탐색 방법에 따라서 VB (Viterbo-Boutros) [2] 와 SE (Schnorr-Euchner) [3] 방법으로 나누어 진다. 또한 계산 처리량의 방법에 따라서 순차적 [4] 방법과 K-best [5] 방법으로 나누어 진다. 그러므로 위의 방법의 조합에 의해서 모두 네 종류의 알고리즘을 가진 스피어 복호기를 구현할 수 있다. 일반적으로 SE 방법이 VB 방법 보다 탐색 동안에 계산 복잡도가 적은 것으로 알려져 있으며 [6], 순차적 방법이 K-best 방법보다 데이터 처리 속도가 높은 것으로 알려져 있다 [7]. 특히, K-best 방법은 고정된 계산 처리량을 가지는 특징으로 집적회로 구현 시 편리한 점은 있으나 면적이 증가하는 단점이 있다 [8]. 최근에는 조기 중단 기법을 적용하여 순차적 방법으로도 집적회로를 구현하는 방법이 제안 되고 있다 [9].

이러한 점을 고려하여 데이터 처리 속도가 높고 탐색 시 계산 복잡도가 낮은 순차적 방법의 SE 알고리즘을 내부 복호기 구조로 선택하여 스피어 복호기를 구현하였다. 그리고 순차적 방법의 단점인 변화 가능한 계산 처리량을 극복하기 위해서 적응적 조기 중단 기법 제안하였고 이로 인해 발생하는 사후 확률 LLR 의 신뢰도 저하를 막기 위한 LSS (layer symbol search) 구조를 만들었다. 그리고 제안된 방법이 적용된 시스템의 성능에 대한 계산 복잡도 감소를 실험을 통해 보였다.

II. 다중 안테나 시스템 모형

그림 1 은 반복 복호기 구조를 보여 주고 있다. 정보 비트인 $\mathbf{b}$ 는 LDPC 의해서 부호화 비트 $\mathbf{c}$ 로 변환되고, 각 안테나로 보내기 위한 서브 블록 $\mathbf{p}$ 로 나뉘어 진다. 이후 블록은 공간 다중화로 각 안테나로 나눠어져 보내지고 변조를 수행한다. 변조된 심볼 $\mathbf{s}$ 는 식(1)의 채널을 통과해서 수신기로 전달 된다.

$$\mathrm{y} = \sqrt{\frac{E_S}{M_T}}\mathrm{Hs+n}\ , \qquad (1)$$

이때, $\mathrm{H} \in \mathbb{C}^{N\times M}$ 는 레일리 페이딩 (rayleigh fading) 채널 행렬이며, 각각의 채널은 서로 독립이다. $\mathrm{n} \in \mathbb{C}^{N\times 1}$ 은 수신 단에서 발생하는 서로 독립이며 동일하게 분포하는 가우시안 잡음 벡터이다. $\mathrm{s} \in \mathbb{CZ}^{M\times 1}$ 는 송신 심볼 벡터이다. 수신 측의 스피어 복호기는 데이타 y 를 받아서 사후 확률 LLR 값인 L_1 을 만들어서 LDPC 복호기에 전달하며 LDPC 복호기는 정보 비트에 해당하는 $\hat{\mathrm{b}}$ 을 검파하는 것과 함께 스피어 복호기가 사용할 사전 확률 LLR 값 L_2 를 생성해 낸다. 위의 방식으로 로그 근사율 L_1 과 L_2 값을 서로 반복 전달하여 해당 비트에 대한 확률 값에 대한 신뢰도를 높이면서 검파를 수행한다.

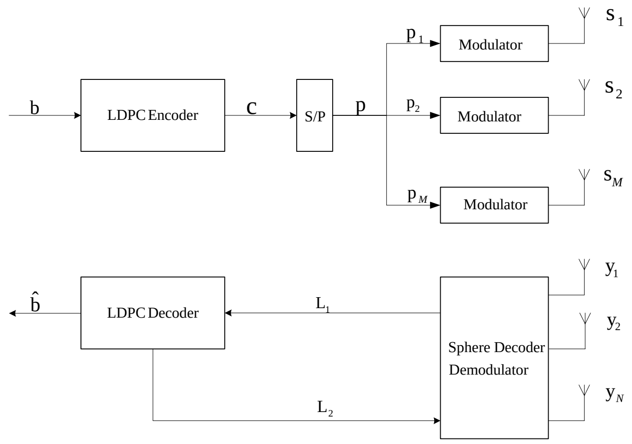

그림 1 반복 복호기 구조

채널 사용 관점에서 사후 확률 LLR 에 대해서 다음과 같이 기술 할 수 있다. 먼저 LDPC 에서 생성된 부호화 비트 블록 c 는 p_c 개의 채널을 사용하여 데이터를 보낸다.

$$\mathrm{c} = \left[\mathrm{c}^{[1]}\ \mathrm{c}^{[1]}\ \ldots\ \mathrm{c}^{[\mathrm{p_c}]} \right]. \qquad (2)$$

채널당 사용되는 부호화 비트는 변조 비트인 p_M 과 송신 안테나 수 M_T 에 의해서 결정된다.

$$\mathrm{c}^{[k]} = \left[c_1\ c_2\ \ldots\ c_{p_M \cdot M_T} \right]. \qquad (3)$$

이후 수신기에서 L_1 을 부호화 비트의 확률 값 LLR 값으로 식(4)와 같이 계산한다.

$$L_1\left(c_i \middle| y\right) = \log \frac{p\left[c_i = +1 \middle| y \right]}{p\left[c_i = -1 \middle| y \right]}. \qquad (4)$$

식(4)는 식(5)와 같이 채널 사용 표시로 기술 할 수 있으며,

$$\mathrm{L}_1^{[k]} = \left[L_1\left(c_1 \middle| \mathrm{y}\right)\ L_1\left(c_2 \middle| \mathrm{y}\right)\ \ldots\ L_1\left(c_{p_m M} \middle| \mathrm{y}\right) \right]. \qquad (5)$$

식(2)~식(5)에 의해서 LDPC 에서 생성된 부호와 블록 c 에 대한 확률 값을 식(6)과 같이 기술 할 수 있다.

$$\mathrm{L}_1 = \left[\mathrm{L}_1^{[1]}\ \mathrm{L}_1^{[2]}\ \ldots\ \mathrm{L}_1^{[p_c]} \right]. \qquad (6)$$

스피어 복호기의 사전 확률 측면에서는 LDPC 복호기에서 만들어진 확률 값 L_2 를 식(5)와 동일한 구조의 $\mathrm{L}_2^{[k]}$ 로 나타낼 수 있고 이로부터 심볼에 대한 확률 값 식(7)을 구할 수 있다.

$$\left\{ p\left(s_1\right), p\left(s_1\right), \ldots, p\left(s_M\right) \right\}. \qquad (7)$$

이들 심볼 확률 값을 이용하여 MAP (maximum a posteriori) 수신기를 만들 수 있다.

III. 사전 확률 값과 사후 확률 값 생성을 위한 SE MAP 알고리즘 구현

반복 복호기는 사전 확률 값과 사후 확률 값을 내부 복호기와 외부 복호기가 서로 주고 받는 구조로 만들어 지며 이를 위해서 연판정 정보 (soft output information)가 필요하다. 논문 [10]에서는 순차적 VB 방식의 스피어 복호기에 대한 MAP 알고리즘을 제안하고 있다. 본 논문에서도 이와 동일한 방법으로 순차적 SE 알고리즘에 대한 MAP 검파기를 구현한다. MAP 검파는 식(8)과 같이 수신된 신호를 가지고 사후 확률을 최대화 하는 것이다.

$$P_{MAP} = \max_{s \in D_L^m} p_{s|y}\left(s \middle| y\right). \qquad (8)$$

식(8)에 Bayes ' 공식을 적용하면 식(9)와 같은 ML 식과 심볼에 대한 확률 값으로 나타낼 수 있다.

$$P_{MAP} = \max p_{y|s}\left(y \middle| s\right) p_s\left(s\right). \qquad (9)$$

식(9)에서 $p_s\left(s\right)$ 는 각각 독립적이므로 로그(log) 함수를 적용하여 식(10)과 값은 식을 유도해 낼 수 있다.

$$\log p_s\left(s\right) = \sum_{k=1}^{m} \log p\left(s_k\right). \qquad (10)$$

그러므로 식(9)와 식(10)의 식을 이용하면 최종적으로 식(11)과 같이 MAP 수식을 근사화 할 수 있다.

$$P_{MAP} \approx \min_{s \in D_L^m} \left[\left\| y - \mathrm{Hs} \right\|^2 - \sum_{k=1}^{m} \log p\left(s_k\right) \right]. \qquad (11)$$

식(11)의 심볼 스페이스는 식(12)와 같다.

$$D_L^m = \left\{ D_L \mid D_L = 2L-Q+1 : L \in \{0,1,\ldots,Q-1\} \right\}^m \quad , \qquad (12)$$

여기서, Q 는 변조 방식을 m 은 송신 안테나 수를 나타낸다 이때, L_2 로 부터 $p(s)$ 를 만드는 방법은 식(14)에 의해서 쉽게 얻을 수 있다.

$$\begin{aligned} L(c_i) &= \log \frac{p[c_i=+1]}{p[c_i=-1]}, \\ p[c_i=+1] &= \frac{1}{1+e^{-L(c_i)}}, \\ p[c_i=-1] &= \frac{1}{1+e^{L(c_i)}}. \end{aligned} \qquad (14)$$

위의 식(14)는 각 비트에 대한 수식이므로 이를 심볼로 나타내면 최종적으로 $p(s)$ 식(15)에 의해서 유도 할 수 있다. (EX: 심볼 (+1,+1)에 대한 유도)

$$\log p\left[s_k=(+1,+1)\right] = \log\left(\frac{1}{1+e^{-L(c_i)}}\right) + \log\left(\frac{1}{1+e^{-L(c_i)}}\right). \qquad (15)$$

이와 함께, 식(4)를 이용하여 동일 채널 사용에 대해서 사후 확률 LLR 을 나타내는 식을 다음과 같이 표현 할 수 있다.

$$\begin{aligned} L_1(c_i|y) &= \log \frac{p\left[c_i=+1|y\right]}{p\left[c_i=-1|y\right]} \\ &= \log \frac{\sum_{\mathrm{c}^{[k]}:c_i=+1} p\left[y|\mathrm{c}^{[k]}\right] p\left[\mathrm{c}^{[k]}\right]}{\sum_{\mathrm{c}^{[k]}:c_i=-1} p\left[y|\mathrm{c}^{[k]}\right] p\left[\mathrm{c}^{[k]}\right]} \end{aligned} . \qquad (16)$$

식(16)에서 $\mathrm{c}^{[k]}$ 의 각각의 bit 이 독립이므로,

$$L_1(c_i|y) = \log\frac{p[c_i=+1]}{p[c_i=-1]} + \log\frac{\sum_{\mathrm{c}^{[k]}:c_i=+1} p\left[y|\mathrm{c}^{[k]}\right]\prod_{j,j\neq i} p\left[c_j\right]}{\sum_{\mathrm{c}^{[k]}:c_i=-1} p\left[y|\mathrm{c}^{[k]}\right]\prod_{j,j\neq i} p\left[c_j\right]}. \qquad (17)$$

식(17)과 같이 표현 할 수 있으며, 동일 채널을 사용하는 $\mathrm{c}^{[k]}$ 에 대해서 심볼로 나타내면 식(18)을 유도할 수 있다.

$$\begin{aligned} L_1(c_i|y) &= \log \frac{\sum_{s:c_i=+1} p\left[y|s\right]\prod_j p\left[s_j\right]}{\sum_{s:c_i=-1} p\left[y|s\right]\prod_j p\left[s_j\right]} \\ . \qquad &= \log \frac{\sum_{s:c_i=+1} e^{-\|y-\mathrm{H}s\|^2+\sum_j \log p\left[s_j\right]}}{\sum_{s:c_i=-1} e^{-\|y-\mathrm{H}s\|^2+\sum_j \log p\left[s_j\right]}} \end{aligned} . \qquad (18)$$

식(18)로부터 식(19)와 같이 표현할 수 있다.,

$$\begin{aligned} L_1(c_{m,L}) = & \min_{s\in D_{m,L}^{c_{m,L}=-1}} \left[\|y-\mathrm{H}s\|^2 - \sum_{k=1}^{m} \log p(s_k) \right] \\ & - \min_{s\in D_{m,L}^{c_{m,L}=+1}} \left[\|y-\mathrm{H}s\|^2 - \sum_{k=1}^{m} \log p(s_k) \right] \end{aligned} . \qquad (19)$$

식(19)는 심볼의 비트 1(또는 +1)에 대한 해와 이에 상응하는 비트 0(또는 -1)에 대한 대립 명제 (counter hypothesis) 해의 거리 차를 나타내며, 이를 이용해서 스피어 복호기에서 사후 확률 LLR 값을 만들어 낸다. 이에 대한 구현은 심볼을 탐색하는 형태로 표현 되며 MAP 탐색은 일반적인 스피어 복호기의 트리 (Tree) 구조 탐색으로 만들고, 이의 대립 명제 해에 해당 하는 구현은 반복 트리 탐색 기법 (Repeat Tree Search)으로 만든다 [11]. RTS 방법은 거의 모든 심볼을 찾는 성능을 가진다. 그리고 이런 구조에서는 계산 복잡도는 트리의 노드 (Node) 방문 횟수에 의해 산술적으로 구할 수 있다.

IV. 계산 복잡도 감소를 위한 반복 복호기 알고리즘 및 성능 분석

집적회로 구현에서 먼저 고려 되어야 할 사항으로 주어진 시스템 요구에 맞는 계산 처리량을 분석하고 이를 만족하기 위한 시스템 주파수를 정의하는 일이 필요하다. 순차적 SE 알고리즘은 계산 처리량이 유동적이므로 시스템 주파수 설정이 불가능하다. 이를 극복하기 위해서 동작 중에 조기 중단 기법이 사용 된다 [9]. RTS 알고리즘에서의 조기 중단 적용은 그림 2 와 같이 성능의 감소를 가져 온다.

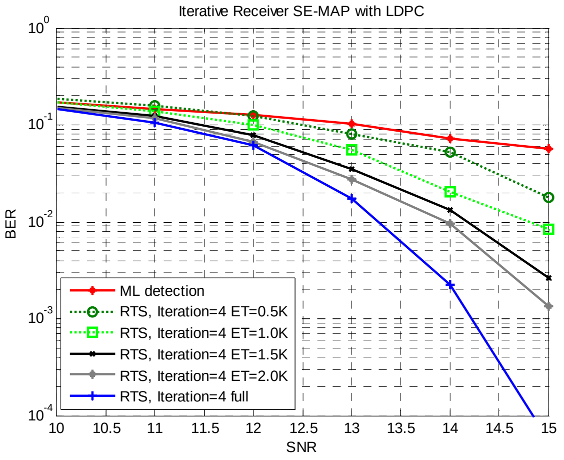

그림 2 조기 중단 적용, M=N=4, 16-QAM with LDPC (N=1024, K=512)

일반적으로 평균 노드 방문 횟수 이상으로 설정해야지 최소한의 성능 감소를 얻는 것으로 알려져 있다 [9]. 그러나 RTS 구조에서 조기 중단 기법 적용 시 최적의 대립 명제 해를 구하기가 힘들다. 이를 극복하기 위해서 해당 레이어(layer)에서 만 대립 해를 가지는 심볼 탐색하는 방법을 제안한다. 제안된 LSS (layer symbol search)는 식(20)로 나타낼 수 있다. 기존 식(19)에서 k 번째 레이어에 한해서 심볼을 탐색하는 것을 볼 수 있다.

$$\bar{P}_{MAP} \approx \min_{s \in D_{m,L}^{\left(c_{m=k,L}^{\mathrm{ML}}\right)}} \left[\left\| y - \mathrm{H}s \right\|^2 - \sum_{k=1}^{m} \log p\left(s_k\right) \right]. \quad (20)$$

제안 된 식(20)은 심볼 스페이스를 줄임으로 인해서 전체 시스템의 계산 복잡도를 줄일 수 있다. 반복 복호시 확률 값의 신뢰도는 반복 횟수에 비례해서 증가하므로 노드 방문의 횟수가 반복 횟수 증가시 점차적으로 줄어 든다. 이런 특징을 이용해서 각 반복 복호시 마다 적응적으로 최소의 조기 중단 값을 설정하는 방법을 제안한다. 이 방법으로 계산 복잡도를 평균 1/2 이하로 줄일 수 있다. 그림 4 에서는 계산 처리량을 줄임에도 불구 하고 반복 횟수에 따른 성능 감소는 거의 차이가 나지 않고 반복 횟수 4 에서는 동일한 성능을 나타냄을 보여준다.

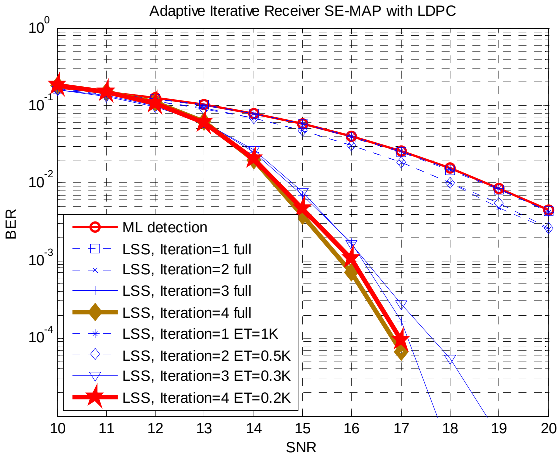

그림 3 반복 횟수에 따른 적응적 조기 중단 기법 적용

송수신 안테나 4 개에서 순차적 SE 방법으로 계산 처리량을 최소한으로 줄일 수 있는 최소의 조기 중단 설정은 8 이다. 제안된 LSS 기법은 조기 중단 기법과 독립적으로 동작하는 구조이므로 최소 조기 중단 시에도 전체 탐색과 동일한 성능을 나타냄을 보여 준다.

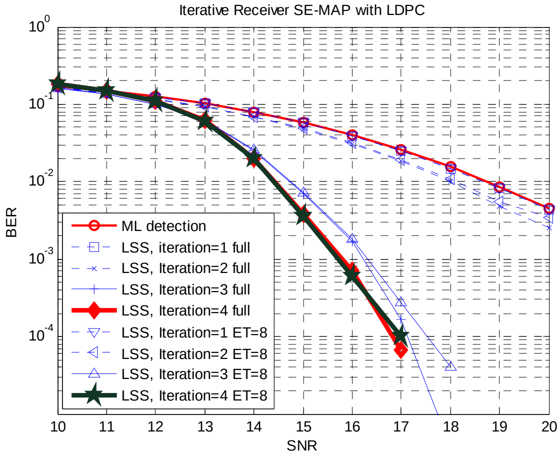

그림 4 최소(ET=8) 조기 중단 설정

그림 5 에서 최소 조기 중단시 계산 처리량이 1/400 이하로 줄일 수 있음을 보여 준다. 이때의 성능 감소는 전체 공간을 탐색 하는 RTS 성능 대비 비트 에러 10^{-3} 에서 2dB 정도의 성능 감소가 생김을 알 수 있다. 실험 결과 성능 감소 대비 계산 복잡도 감소가 효과적임을 보여 준다.

V. 결론

본 논문에서는 스피어와 LDPC 복호기로 구성된 다중 안테나를 위한 반복 수신기 구조에서 계산 처리량을 줄이고 높은 데이터 처리 속도를 구현 할 수 있는 방법을 제안 하였다. 먼저 적응적 조기 중단 기법을 반복 복호시에 적용하여 최소한의 성능 감소로 최대한의 계산 복잡도를 줄이는 방법을 제안 하고 결과를 보였다. 이와 함께, 조기 중단으로 인해 사후 확률 LLRs 의 신뢰도가 줄어드는 문제점을 보완하기 위해서 조기 중단 시에 영향을 받지 않는 구조로 사후 확률 값 LLRs 을 만드는 LSS (layer symbol search) 구조를 제안 하였다. 그리고 LSS 방법으로 최대의 데이터 처리 속도를 낼 수 있도록 조기 중단 값을 설정하였고, 이때 계산 복잡도와 성능 감소간의 상관 관계를 보였다. 그리고 이들 결과로부터 제안 된 방법이 집적회로 구현시 효율적임을 보였다.

감사의 글

본 연구는 지식경제부 및 정보통신연구진흥원의 대학 IT 연구센터 지원사업의 연구결과로 수행되었음 (IITA-2008-C1090-0803-0002)

참고문헌

[1] B.M. Hochwald and S. Brink, “Achieving near-capacity on a multiple antenna channels,” *IEEE Transactions on Communications*, vol. 51, no. 3, pp. 389-399, Mar. 2003.

[2] E. Viterbo and J. Boutros, “A universal lattice code decoder for fading channels,” *IEEE Transactions on Information Theory*, vol. 45, no. 5, pp. 1639-1642, July. 1999.

[3] E. Agrell, T. Eriksson, A. Vardy, and K. Zeger, “Closest point search in lattices,” *IEEE Transactions on Information Theory*, vol. 48, no. 8, pp. 2201-2214, August. 2002.

[4] M.O. Damen, A. Chkeif, and J.-C. Belfiore, “Lattice code decoder for space-time codes,” *IEEE Communications letters*, vol. 4, no. 5, pp. 161-163, May. 2000.

[5] K.-W. Wong, C.-Y. Tsui, R. S.-K. Cheng, and W.-H. Mow, “A VLSI architecture of a K-best lattice decoding algorithm for MIMO channels,” in *PIMRC'02*, 2002.

[6] G. Rekaya and J.-C. Belfiore, “Complexity of ML lattice decoders for the decoding of linear full rate space-time codes,” in *IEEE Trans. Wireless Commun.*, submitted for publication, December. 2002.

[7] A. Burg, M. Borgmann, C. Simon, M. Wenk, M. Zellweger, and W. Fichtner, “Performance tradeoffs in the VLSI implementation of the sphere decoding algorithm,” in *Proc. IEE 3G Mobile Communication Conf.*, London, U.K., Oct. 2004, pp.33-97.

[8] K.-W. Wang, C.-Y. Tsui, R. S.-K. Cheng, and W.-H. Mow, “A VLSI architecture of a K-best lattice decoding algorithm for MIMO channels,” in *IEEE ISCAS*, vol. 3, pp. 273-276, May 2002.

[9] A. Burg, M. Borgmann, M. Wenk, M. Zellweger, W. Fichtner, and H. Bolchkei, “VLSI implementation of MIMO detection using the sphere decoding algorithm,” in *IEEE J. Solid-State Circuits*, vol. 40, no 7, pp. 1566-1577, July 2005.

[10] H. Vikalo, B. Hassibi, and T. Kailath, “Iterative Decoding for MIMO Channels Via Modified Sphere Decoding,” in *IEEE Transactions on wireless communications*, vol. 3, No. 6, Nov. 2004.

[11] J. Jalden, and B. Ottersten, “Parallel implementation of a soft output sphere decoder," in *Proc. Asilomar Conf. on Signals, Systems and Computers*, pp. 581-585, Nov. 2005.